

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Takanobu KONO

Application No.: 09/981,826

Filed: October 19, 2001

For: IMAGE READING APPARATUS



Group Art Unit: 2622

Docket No.: 110919

CLAIM FOR PRIORITY

Director of the U.S. Patent and Trademark Office
Washington, D.C. 20231

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. §119 is hereby claimed:

Japanese Patent Application No. 2000-322484, filed October 23, 2000.

In support of this claim, a certified copy of said original foreign application:

 X is filed herewith.

 was filed on in Parent Application No. filed .

 will be filed at a later date.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Respectfully submitted,

James A. Oliff
Registration No. 27,075

Eric D. Morehouse
Registration No. 38,565

JAO:EDM/gam

Date: January 18, 2002

OLIFF & BERRIDGE, PLC
P.O. Box 19928
Alexandria, Virginia 22320
Telephone: (703) 836-6400

<p>DEPOSIT ACCOUNT USE AUTHORIZATION Please grant any extension necessary for entry; Charge any fee due to our Deposit Account No. 15-0461</p>
--



日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日

Date of Application:

2000年10月23日

出願番号

Application Number:

特願2000-322484

出願人

Applicant(s):

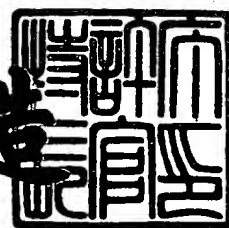
セイコーエプソン株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年11月 2日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3095822

【書類名】 特許願

【整理番号】 SE000815

【提出日】 平成12年10月23日

【あて先】 特許庁長官 殿

【国際特許分類】 H04N 1/04

【発明の名称】 画像読み取り装置

【請求項の数】 4

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

【氏名】 河野 敬信

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 100093779

【弁理士】

【氏名又は名称】 服部 雅紀

【手数料の表示】

【予納台帳番号】 007744

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9901019

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像読み取り装置

【特許請求の範囲】

【請求項 1】 原稿の光学的濃淡情報に対応する画像アナログ信号を生成する画像入力手段と、

前記画像入力手段により入力された画像アナログ信号を画像デジタル信号に変換する A/D 変換器と、

一次制御信号から前記一次制御信号よりパルス幅の短い二次制御信号を生成し前記二次制御信号により前記画像入力手段を制御する制御手段と、

前記一次制御信号を生成し、前記 A/D 変換器から出力される画像デジタル信号に基づいて画像処理する画像処理手段と、

前記画像処理手段と前記制御手段とを電氣的に接続し前記一次制御信号を伝送する配線手段と、

を備えることを特徴とする画像読み取り装置。

【請求項 2】 前記画像入力手段及び前記制御手段は、原稿面に対して平行に往復移動するキャリッジに設けられ、

前記画像処理手段は前記キャリッジを往復移動自在に支持するケースに設けられていることを特徴とする請求項 1 記載の画像読み取り装置。

【請求項 3】 前記制御手段は前記一次制御信号から前記二次制御信号と同期したサンプリング信号を生成し、

前記 A/D 変換器は前記キャリッジに設けられ前記サンプリング信号を用いて前記画像アナログ信号を前記画像デジタル信号に変換し、

前記配線手段は前記画像デジタル信号を伝送することを特徴とする請求項 2 記載の画像読み取り装置。

【請求項 4】 前記制御手段は、PLL 回路を有することを特徴とする請求項 1、2 又は 3 記載の画像読み取り装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は画像読み取り装置における制御回路の実装方式に関する。

【 0 0 0 2 】

【従来の技術】

従来、デジタル画像の入力装置としてイメージスキャナ、ファクシミリ等の画像読み取り装置が知られている。コンピュータの高性能化等に伴い画像読み取り装置に高速性が要求されている。例えば、光学情報を電子情報に変換する素子として広く用いられているCCD (Charge Coupled Device) を制御するためのシフトパルス、リセットパルス等の制御信号、並びにA/D変換器のサンプリング信号を高周波数の短いパルス幅に設定することにより画像読み取り装置の高速化が可能となる。

【 0 0 0 3 】

【発明が解決しようとする課題】

しかし、図5に示すように、従来のフラットベッド型イメージスキャナでは、キャリッジにCCD 22とA/D変換器25を設け、CCD 22の制御信号とA/D変換器25のサンプリング信号を生成する制御回路51を内蔵した画像処理ASIC 52をキャリッジ20を支持するケース11に設け、画像処理ASIC 52とCCD 22及びA/D変換器25とを数十センチのフレキシブルフラットケーブル（以下FFCという。）53により接続している。すなわち、従来のフラットベッド型イメージスキャナでは、上述の制御信号等の伝送経路が非常に長くなっている。このため、FFC周辺にEMI (ElectroMagnetic Interference) 対策を十分に必要があるところ、伝送経路が長いことに起因して信号波形の崩れ及びタイミングの遅れが生ずることに加え、フィルタ、抵抗等を設けるEMI対策によっても波形の崩れ及びタイミングの遅れが生ずる。このような弊害を防止するためにはEMI対策のために高価な部品を用いなければならず、EMI対策は製品価格の上昇を招いている。

【 0 0 0 4 】

さらには、より高い周波数のクロック或いは短いパルス幅の信号を生成して高速化しようとしたとき、EMIフィルタ、抵抗等による波形の崩れやタイミングの遅れにより信号周波数をあまり高く設定することができないという問題がある

ため、従来のフラットベッド型イメージスキャナでは、CCDの制御信号とA/D変換器のサンプリング信号のパルス幅が40nsec程度に設定されており、フラットベッド型イメージスキャナをはじめとする画像読み取り装置においては、実装技術上、EMI対策及び伝送経路の長さが高速化の障壁となっている。

【0005】

本発明は、このような問題を解決するために創作されたものであって、EMIノイズを低減し読み取り速度を上げる画像読み取り装置を提供することを目的とする。

【0006】

【課題を解決するための手段】

請求項1に係る発明によると、二次制御信号を生成し画像入力手段を制御する制御手段と二次制御信号の基礎となる一次制御信号を生成する画像処理手段とを分離し、パルス幅の長い一次制御信号からパルス幅の短い二次制御信号を生成する構成とし、画像処理手段と制御手段とを電氣的に接続する配線手段にはパルス幅の長い一次制御信号を伝送させることにより、画像読み取り装置のEMIノイズを低減し読み取り速度を上げることができる。すなわち、パルス幅が長くパルスの立ち上がり及び立ち下がりを経やかにできる一次制御信号を伝送する配線手段を長くし、パルス幅が短くパルスの立ち上がり及び立ち下がりが急峻な二次制御信号の伝送経路を短くすることができるため、EMIノイズを低減し読み取り速度を上げることができる。

【0007】

請求項2に係る発明によると、画像入力手段及び制御手段は、原稿面に対して平行に往復移動するキャリッジに設けられ、画像処理手段はキャリッジを往復移動自在に支持するケースに設けられている。配線手段はキャリッジに設けられている画像入力手段とケースに設けられている画像処理手段を接続するため、通常数十センチの長さになる。しかし、請求項2に係る発明によると、配線手段は二次制御信号よりパルス幅の長い一次制御信号を伝送するためEMIノイズを低減し読み取り速度を上げることができる。また、ケースに画像処理手段を設けることにより、体格の大きな画像処理手段を容易に実装することができる。

【 0 0 0 8 】

請求項 3 に係る発明によると、A/D 変換器をキャリッジに設け、配線手段に画像デジタル信号を伝送させる構成を採用することにより、キャリッジに設けられた A/D 変換器とケースに設けられた画像処理手段とを接続する長い配線経路を画像アナログ信号が伝送されることがない。したがって、画像情報を伝送する信号に混入するノイズを低減することができる。また、請求項 3 に係る発明によると、制御手段が一次制御信号から二次制御信号と同期したサンプリング信号を生成する構成を採用することにより、A/D 変換器が必要とするパルス幅の短いサンプリング信号を長い配線経路を伝送する必要がない。したがって、EMI ノイズを低減し読み取り速度を上げることができる。

【 0 0 0 9 】

請求項 4 に係る発明によると、制御手段は PLL (Phase Locked Loop) 回路により一次制御信号から二次制御信号を生成することができる。

【 0 0 1 0 】

【発明の実施の形態】

以下、本発明の一実施例に係る画像読み取り装置としてのスキャナを図 1 及び図 2 に示す。本実施例に示すスキャナは、原稿面に対して平行に往復移動するキャリッジ 2 0 を備えるフラットベッド型である。

【 0 0 1 1 】

箱型のケース 1 1 の上面には、原稿台ガラス 1 0 が設けられている。原稿台ガラス 1 0 の周囲には、原稿を位置決めする図示しない原稿ガイドが設けられている。原稿台ガラス 1 0 の端部には、高反射率の均一反射面を有する図示しない白基準が設けられている。キャリッジ 2 0 はケース 1 1 に固定された図示しないガイドロッドに往復移動自在に支持されている。キャリッジ 2 0 に図示しない駆動ベルトが固定され、駆動ベルトは図示しない駆動装置により回転する。ランプ 2 1 はキャリッジ 2 0 に内蔵され、棒状の蛍光管ランプ等から構成され、原稿台ガラス 1 0 に載せられる原稿を照射する。画像入力手段としての光学系 3 0 は複数のミラー及びレンズにより構成され、原稿面から CCD ラインセンサ 2 2 に至る光路を形成している。

【 0 0 1 2 】

画像入力手段としてのCCDラインセンサ22は、各受光素子が受光した光の光量に応じた量の電荷を蓄積し、蓄積した電荷を制御部24により入力されるシフトパルス等の二次制御信号に応じて増幅器28に出力する。CCDラインセンサ22としてカラー出力するCCDを用いることも可能である。CCDラインセンサ22は、多数の光電変換素子、転送ゲート、アナログシフトレジスタ、電荷電圧変換部等から成る。光電変換素子に蓄積された電荷は、転送ゲートに入力されるシフトパルスによりアナログシフトレジスタへ転送される。シフトパルス間隔を変更することにより、光電変換素子に電荷を蓄積する時間を変更することができる。光電変換素子からアナログシフトレジスタへの電荷の転送は、全光電変換素子について同時に行われる。アナログシフトレジスタに転送された電荷は、二次クロック信号により順次、電荷電圧変換部に転送され、電圧に変換される。この電圧はアナログ画像信号として増幅器28に入力される。シフトパルス間隔すなわち光電変換素子の電荷蓄積時間はマイクロコンピュータ44に組み込まれたコンピュータプログラムによって制御される。増幅器28はCCDラインセンサ22により入力されるアナログ画像信号を増幅してA/D変換器25に出力する。A/D変換器25は増幅器28により入力されたアナログ画像信号をサンプリングして256階調のデジタル画像信号を出力する。A/D変換器25は、制御部24から入力されるサンプリングパルスを用いてアナログ画像信号をサンプリングする。

【 0 0 1 3 】

制御手段としての制御部24は、96MHzの二次クロックパルスを生成し、この二次クロックパルスからシフトパルス、リセットパルス等の二次制御信号、並びにサンプリング信号としてのサンプリングパルスを生成し、CCDラインセンサ22に二次制御信号を出力し、A/D変換器25にサンプリングパルスを出力する。二次クロックパルスは、制御部24が有するPLL回路31を用い、制御部24に入力される一次クロックパルスを16通倍することにより生成される。尚、二次クロックパルスの周波数は96MHzに限られず、CCDラインセンサ22及びA/D変換器25の性能に応じて決めればよい。二次クロックパルス

の周波数が高ければ高いほどパルス幅の短い二次制御信号及びサンプリングパルスを生じることができ、二次制御信号及びサンプリングパルスのパルス幅が短ければ短いほどCCDラインセンサ22及びA/D変換器25を高速作動させることができる。制御部24が生成するこれらの信号は、5本の信号線23によりCCDラインセンサ22に伝送され、4本の信号線26によりA/D変換器25に伝送される。このように、制御部24は二次クロックパルスの周波数を通倍することによりCCDラインセンサ22及びA/D変換器25を高速作動させる。

【0014】

FFC40には8bit幅のデータ線、クロック信号線等が備えられている。データ線は、A/D変換器25から出力される8bitのデジタル画像信号を画像処理ASIC45に伝送する。CCDラインセンサ22がカラー出力である場合、R (Red) G (Green) B (Blue) の各画像信号は時分割で画像処理ASIC45に伝送される。クロック信号線は画像処理ASIC45から出力される一次クロックパルスを制御部24に伝送する。FFC40の両端部はキャリッジ20に設けられた図示しないコネクタとメイン基板41に設けられた図示しないコネクタとに接続されている。キャリッジ20が原稿台ガラス10に平行に30cm程度の距離を往復移動できるようにFFC40には十分なたるみを持たせている。

【0015】

メイン基板41はケース11に固定されている。メイン基板41にはバス42で互いに接続された画像処理ASIC45、インタフェース部43、マイクロコンピュータ44等が搭載されている。

【0016】

画像処理手段としての画像処理ASIC45は、読取り開始前に白基準を読取って取得する白基準データと、あらかじめ記憶しておいた黒基準データとを比較してCCDラインセンサ22の素子毎の感度のばらつきやランプ21の主走査方向の光量のばらつきを補正し、ガンマ補正、色補正等の諸変換を行う。また、画像処理ASIC45はクロック生成回路46を有し、クロック生成回路46により一次制御信号としての6MHzの一次クロックパルスを生成し制御部24に出

力する。

【0017】

インタフェース部43は図示しないホストコンピュータとスキャナとを接続するためのインタフェースを構成する。マイクロコンピュータ44は、CPU、RAMおよびROM等を備え、画像処理ASIC45、インタフェース部43、制御部24等のスキャナ全体を制御する。

【0018】

以上、本発明の一実施例に係るスキャナの構成を説明した。以下、このスキャナの作動を説明する。マイクロコンピュータ44はホストコンピュータから読み取り開始コマンドを受信すると所定のプログラムの実行によりスキャナを以下のように作動させる。

【0019】

マイクロコンピュータ44の制御のもと、ランプ21が点灯し、白基準データを取得した後、図示しない駆動装置によりキャリッジ20が読み取り原点に対応した位置に移動する。原稿台ガラス10に載せられた原稿が光学系30によりCCDラインセンサ22に結像される。制御部24は、画像処理ASIC45が出力する6MHzの一次クロックパルスから96MHzの二次クロックパルスを生成し、この二次クロックパルスに基づいてシフトパルス等の二次制御信号を生成し、これらの二次制御信号に基づいてCCDラインセンサ22を制御する。二次制御信号のパルス幅が短ければ短いほどCCDラインセンサ22を高速に作動させることができる。図3に一次クロックパルスと二次クロックパルスのタイミングチャートを示す。CCDラインセンサ22からシフトパルスに同期したタイミングで電荷が取り出され、取り出された電荷がアナログ画像信号として増幅器28に入力される。CCDラインセンサ22は1ラインごとに電荷を放出し、CCDラインセンサ22が1ライン分の電荷を放出すると駆動装置は次の読み取りラインにキャリッジ20を移動させる。増幅器28で増幅されたアナログ画像信号はA/D変換器25で制御部24により入力されるサンプリングパルスに基づいてサンプリングされ8ビットのデジタル画像信号に変換される。図4に示すように、A/D変換器25は1つのアナログ出力波形の2点を96MHzの二次クロ

ックパルスから生成されたサンプリングパルスを用いてサンプリングし、その電圧差を8ビットのデジタル画像信号として出力する。サンプリングパルスのパルス幅が短ければ短いほど短い周期でCCDラインセンサ22から出力されるアナログ画像信号をサンプリングすることができる。デジタル画像信号はFFC40を通じて画像処理ASIC45に伝送され、画像処理ASIC45によるシェーディング補正、ガンマ補正等が施されて生成された画像データがインタフェース部43を通じてホストコンピュータに出力される。

【0020】

以上の作動においてFFC40及びキャリッジ20内部では次のような信号の伝送が行われる。FFC40は6MHzの一次クロックパルスとデジタル画像信号を伝送する。制御部24とA/D変換器25とを接続する信号線26は96MHzの二次クロックパルスから生成されたサンプリングパルス等を伝送する。制御部24とCCDラインセンサ22とを接続する信号線23は96MHzの二次クロックパルスから生成されたシフトパルス、リセットパルス等の二次制御信号を伝送する。CCDラインセンサ22とA/D変換器25とを接続する信号線27、29はアナログ画像信号を伝送する。

【0021】

信号線23、27はFFC40に比べて信号の伝送経路が短いため、FFC40に比べてノイズの混入が小さく信号波形の劣化が小さい。したがって、CCDラインセンサ22が出力するアナログ画像信号は正確にデジタル画像信号に変換される。また、信号線23、26は、FFC40に比べて信号の伝送経路が短いため、パルス幅が小さくパルスの立ち上がり及び立ち下がりが急峻な二次制御信号を伝送するときにFFC40に比べてEMIノイズを発生させにくい。また、EMIノイズを発生させにくいため、パルス幅が小さくパルスの立ち上がり及び立ち下がりが急峻な二次制御信号、サンプリングパルスを用いてCCD22及びA/D変換器25を制御することができる。

【0022】

すなわち、本実施例では、FFC40により低周波数の一次クロック信号を伝送し、一次クロック信号から生成された高周波数の二次クロック信号に基づいて

生成される信号によりCCDラインセンサ22及びA/D変換器25を制御することにより、EMIノイズを低減し読み取り速度を上げることができる。また、本実施例に係るスキャナによると、ケース11に固定されるメイン基板41に画像処理ASIC45を設けることにより、体格の大きな画像処理ASIC45を実装することができる。

【0023】

(比較例)

図5に上記実施例の比較例として従来のスキャナを示す。図5において上記実施例に係るスキャナと実質的に同一の部分には同一の符号を付して示す。画像処理ASIC52はCCDラインセンサ22及びA/D変換器25を制御する制御信号を出力する制御回路51を有する。制御回路51が出力する制御信号はFFC53を通じてCCDラインセンサ22及びA/D変換器25に伝送される。

【0024】

図5に示す従来のスキャナによると、CCDラインセンサ22及びA/D変換器25の制御信号がメイン基板側で生成されるため、CCDラインセンサ22及びA/D変換器25の動作周波数を上げて高速化を図ろうとすると、FFC53が伝送する制御信号はパルス幅が短くなりパルスの立ち上がり及び立ち下がりが急峻となる。また、CCDラインセンサ22及びA/D変換器25の制御信号をメイン基板側で生成し、FFC53がこれらの制御信号を全て長距離伝送するため、スキャナの動作周波数を上げるためにはFFC53にEMI対策を十分に施さなければならない。CCDラインセンサ22のリセットパルスのパルス幅は他の制御信号のパルス幅に比べて短いため、このリセットパルスに対するEMI対策が特に必要となる。しかし、EMI対策の不可避免的な副作用として信号波形の劣化及びタイミングの遅れがあるため、あまりに短いパルスの伝送は困難であり、従来のスキャナには高速化におのずと限界がある。

【図面の簡単な説明】

【図1】

本発明の一実施例によるスキャナの信号伝達経路を示す模式図である。

【図2】

本発明の一実施例によるスキャナを示すブロック図である。

【図 3】

一次クロックパルスと二次クロックパルスを示すタイミングチャートである。

【図 4】

A/D変換器のサンプリングを説明するための模式図である。

【図 5】

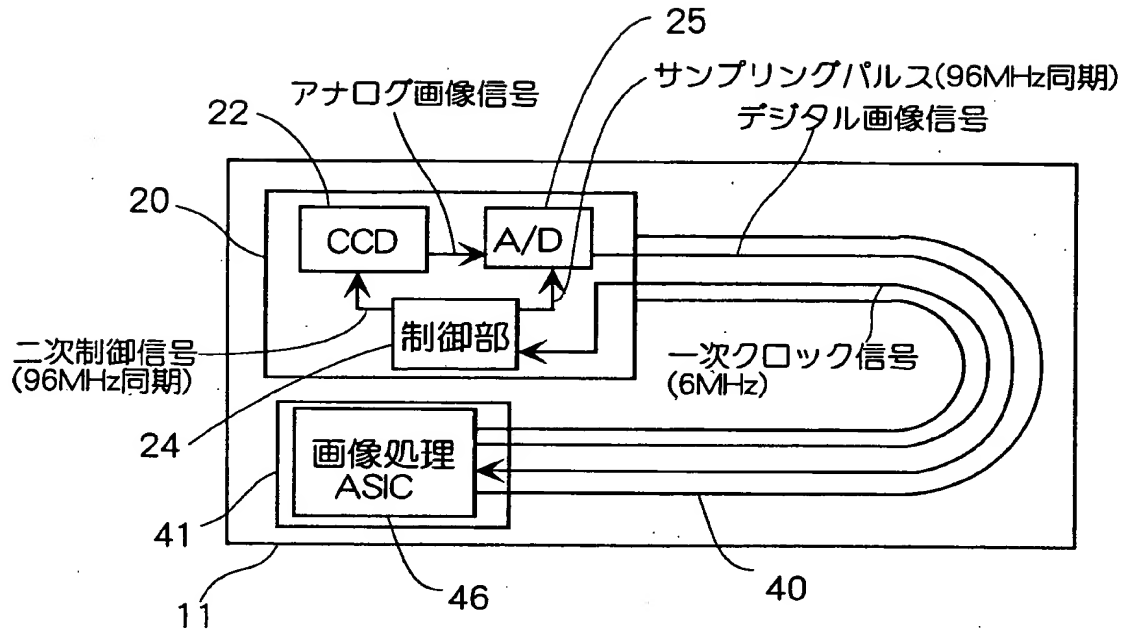
比較例としてのスキャナを示すブロック図である。

【符号の説明】

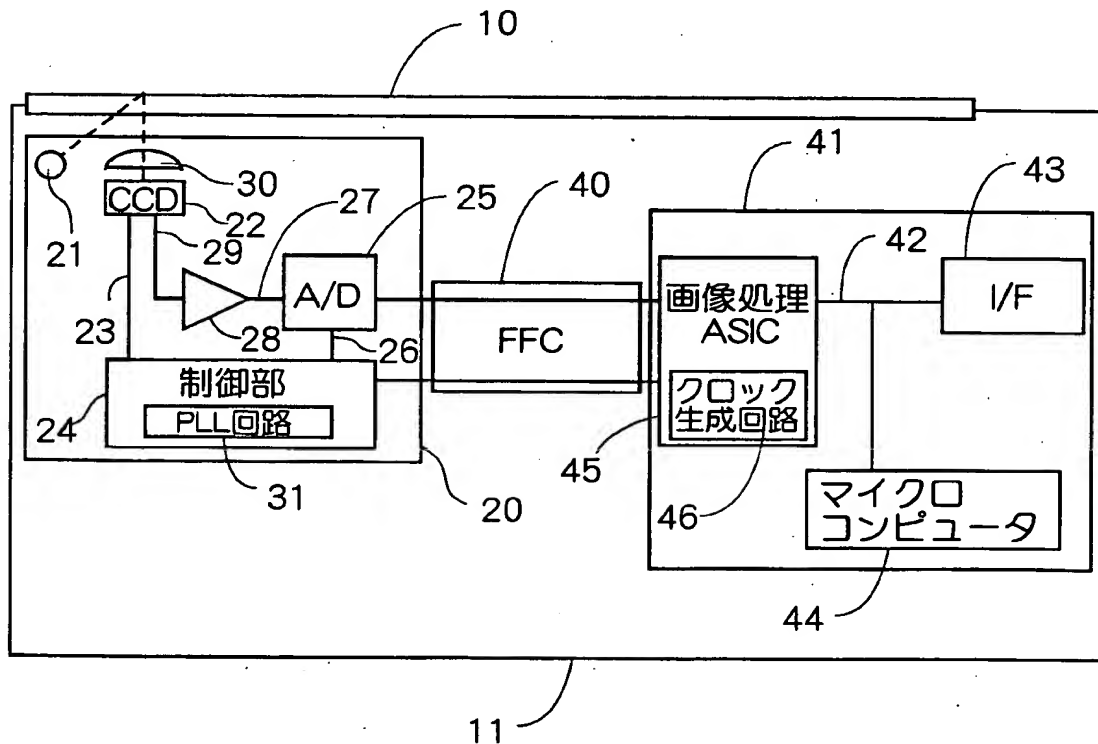
- 1 0 原稿台ガラス
- 1 1 ケース
- 2 0 キャリッジ
- 2 1 ランプ
- 2 2 CCDラインセンサ（画像入力手段）
- 2 3、2 6、2 7、2 9 信号線
- 2 4 制御部（制御手段）
- 2 5 A/D変換器
- 2 8 増幅器
- 3 0 光学系（画像入力手段）
- 3 1 PLL回路
- 4 1 メイン基板
- 4 3 インタフェース部
- 4 4 マイクロコンピュータ
- 4 5 画像処理ASIC（画像処理手段）
- 4 6 クロック生成回路

【書類名】 図面

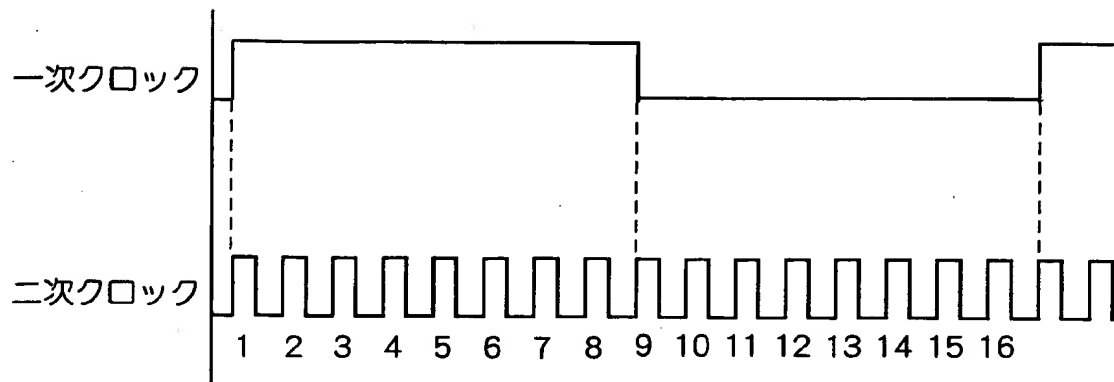
【図 1】



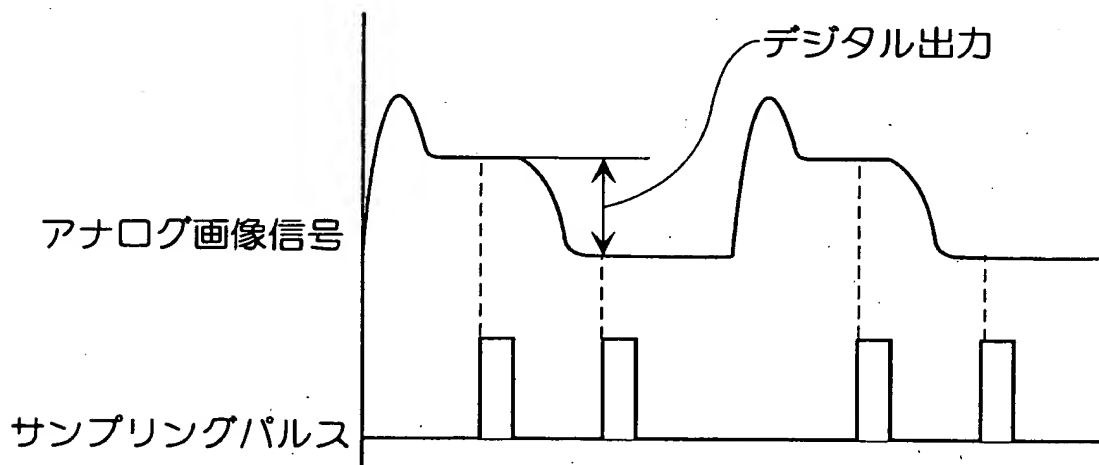
【図 2】



【図 3】

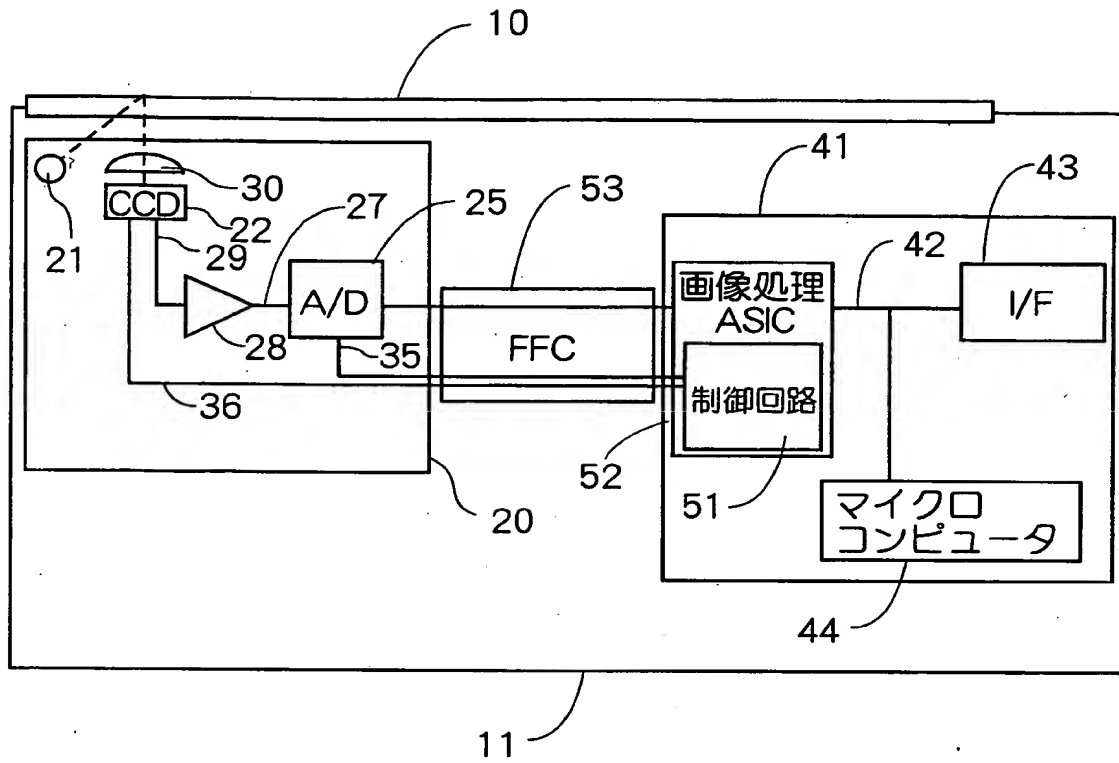


【図 4】



【図 5】

(比較例)



【書類名】 要約書

【要約】

【課題】 EMI ノイズを低減し読み取り速度を上げる画像読み取り装置を提供する。

【解決手段】 フラットベッド型スキャナにおいて、二次制御信号を生成しCCD 22を制御する制御部24と、二次制御信号の基礎となる一次クロック信号を生成する画像処理ASIC46とを分離し、パルス幅の長い一次クロック信号からパルス幅の短い二次制御信号を生成する構成とし、画像処理ASIC46と制御部24とを電氣的に接続するFFC40にはパルス幅の長い一次クロック信号を伝送させる構成を採用する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000002369]

1. 変更年月日	1990年 8月20日
[変更理由]	新規登録
住 所	東京都新宿区西新宿2丁目4番1号
氏 名	セイコーエプソン株式会社